

BASCULES ET COMPTEURS

1. BASCULES

Les bascules sont les opérateurs élémentaires de mémorisation. Leur état présent, déterminé par l'état des sorties, est fonction des entrées et de l'état précédent des sorties. Nous présentons les différentes bascules réalisées à partir de portes logiques. Ces bascules, qui opèrent uniquement selon des principes logiques, sont appelées statiques.

1.1 BISTABLE

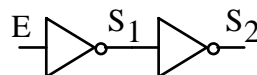


Figure 1 : Inverseurs en série

Le circuit présenté en Figure 1 est constitué de 2 inverseurs en série. La Figure 2 donne les caractéristiques statiques $S_1(E)$ et $S_2(E)$ des sorties S_1 et S_2 des inverseurs réalisés avec des circuits électriques réels. Lorsqu'on reboucle la sortie S_2 sur l'entrée E_1 du premier inverseur, on obtient 3 points de fonctionnement qui correspondent aux intersections de la courbe $S_2(E)$ et de la première bissectrice ($S_2 = E$).

- 2 états stables qui correspondent aux états haut et bas
- 1 état instable, qui constitue la frontière entre l'état haut et l'état bas.

Les 2 états stables sont représentés Figure 3.

L'élément obtenu est **le bistable**, représenté d'une autre manière en Figure 4. Étant dans un état parmi les deux possibles, il mémorise 1 bit. Il n'y a aucun moyen de contrôler l'état du bistable. Il reste dans un état donné, et il n'y a aucun moyen de le positionner dans l'autre état.

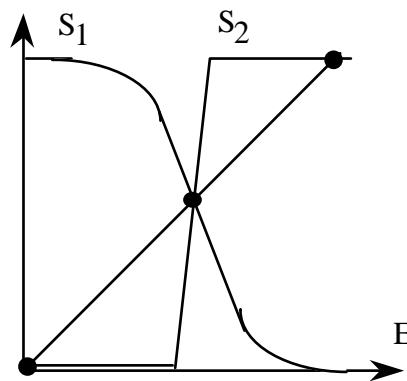


Figure 2 : Caractéristique physique d'inverseurs en série.

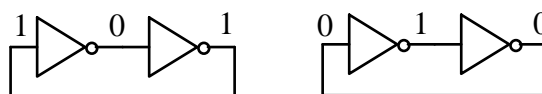


Figure 3 : États stables du bistable

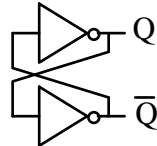


Figure 4 : Représentation traditionnelle du bistable.

1.2 BASCULE RS

La bascule RS ajoute à la capacité de mémorisation du bistable la possibilité de le fixer dans un état donné, par l'opération d'écriture. il y a deux types de bascule RS, selon la porte élémentaire utilisée : NAND ou NOR

1.2.1 Bascule RS NAND

Soit le circuit de la Figure 5 constitué de 2 NAND dont chaque sortie est rebouclée sur une entrée de l'autre NAND et qui a 2 entrées R et S.

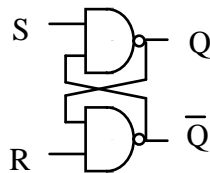


Figure 5 : Bascule RS NAND

Le fonctionnement d'une porte NAND est résumée par les expressions $\text{NAND}(x,y) = \bar{x}$ si $y = 1$ et $\text{NAND}(x,y) = 1$ si $y = 0$

Le fonctionnement de la bascule RS peut donc être exprimé de la manière suivante :

1.2.1.1 Cas $R=S=1$

$\text{NAND}(S, \bar{Q}) = Q$ et $\text{NAND}(R, Q) = \bar{Q}$: la bascule RS est équivalente au bistable de la Figure 4. C'est l'état mémoire.

1.2.1.2 Cas $S = 0$ et $R = 1$.

La Figure 6 décrit les différentes étapes de l'écriture d'un 1 dans la bascule RS.

a) $\text{NAND}(0, \bar{Q}) = 1$ écrit un 1 sur la sortie Q

b) $\text{NAND}(1, 1) = 0$ écrit un 0 sur la sortie \bar{Q}

c) Le 0 de la sortie \bar{Q} vient confirmer le 0 de l'entrée S et verrouille la sortie Q dans l'état 1. L'entrée $S = 0$ n'est plus nécessaire. Le temps minimum à l'état bas de l'entrée S est donc de $2 t_p$, où t_p est le temps de propagation dans la porte NAND.

d) Compte tenu du verrouillage effectué dans la phase précédente, l'entrée S peut repasser à 1 et la bascule repasse dans l'état mémoire.

1.2.1.3 Cas $S = 1$ et $R = 0$

Ce cas, symétrique du précédent, force $Q = 0$ et $\bar{Q} = 1$

1.2.1.4 Cas $S = 0$ et $R = 0$

C'est un cas interdit car $Q = \bar{Q} = 1$ et les 2 sorties ne sont plus complémentaires.

La bascule RS (Reset et Set) a donc 2 modes de fonctionnement : un état mémoire lorsque $R = S = 1$ et un état écriture lorsque $R = \bar{S}$. On a alors $Q = R = \bar{S}$. La bascule RS ne distingue pas

les entrées d'état et les commandes. Chacune des entrées est à la fois une entrée d'état et de commande : lorsque (commande) S est à 0 (état), la sortie Q passe à 1. Ceci peut être un inconvénient dans un système synchrone, où il est important de distinguer les signaux d'état des signaux de commande.

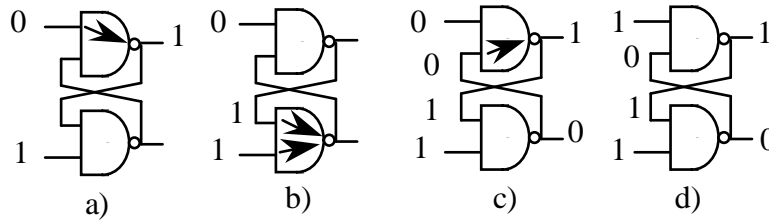


Figure 6 : Écriture d'un 1 dans une bascule RS NAND

1.2.2 Bascule RS NOR

Elle est présentée en Figure 7

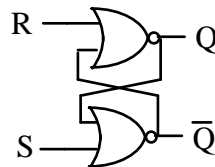


Figure 7 : Bascule RS NOR

C'est la bascule duale de la bascule RS NAND. Elle a deux modes de fonctionnement : un état mémoire lorsque $R = S = 0$ et un état écriture lorsque $\bar{R} = S$. On a alors $Q = S = \bar{R}$. L'état $R = S = 1$ est interdit.

1.3 BASCULE LATCH

La bascule latch distingue une entrée d'état (D) et une entrée de commande (C). Sa représentation symbolique est donnée en Figure 8.

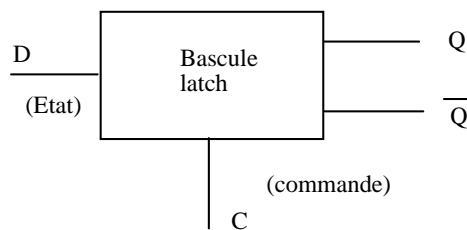


Figure 8 : Bascule latch

La Figure 9 donne un schéma possible de bascule latch de type NAND.

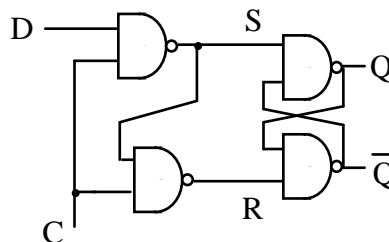


Figure 9 : Bascule latch NAND

Lorsque $C = 0$, on a $S = R = 1$ et la bascule RS est dans l'état mémoire (Figure 10)

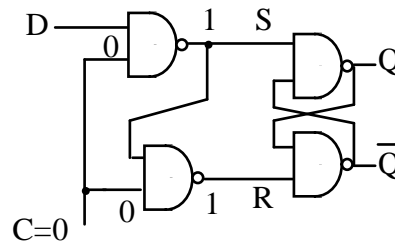


Figure 10 : Bascule latch en état mémoire

Lorsque $C = 1$, on a $R = \bar{S} = D$, ce qui correspond à l'état écriture de la bascule RS et $Q = D$ (Figure 11).

L'écriture d'un 1 correspond à $S = 0$. L'écriture d'un 0 correspond à $R = 0$. Dans les 2 cas, la redescente de l'horloge C de 1 --> 0 provoque la remontée de S (resp. R) de 0 --> 1, ce qui est inefficace sur la bascule RS de sortie à cause de la phase de verrouillage.

De la même manière, on définit la bascule latch NOR qui est dans l'état mémoire lorsque $C = 1$ et dans l'état écriture lorsque $C = 0$.

Les bascules latch sont dites transparentes parce qu'il y a une liaison directe $Q = D$ (à travers 2 inverseurs) lors de l'écriture. Toute variation de l'entrée est transmise directement à la sortie.

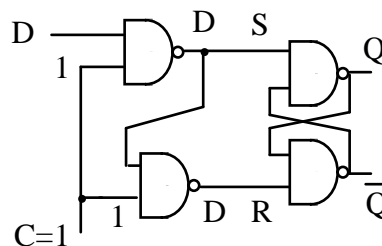


Figure 11 : Bascule latch en état écriture

1.4 REGISTRES.

On appelle registre un ensemble de bascules avec une même commande d'horloge (Figure 12).

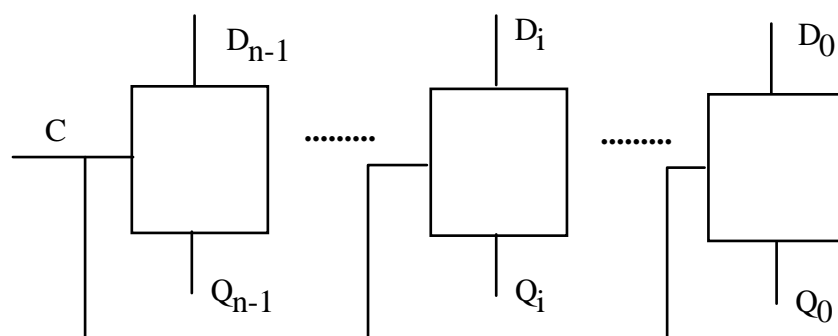


Figure 12 : Registre

Les registres ont la propriété des bascules qui les composent : un registre constitué de bascules latch sera un registre transparent.

La transparence des registres et des bascules interdit un certain nombre d'utilisations que nous examinons maintenant.

1.4.1 Transparence et registre à décalage

Un registre à décalage est constitué de bascules telles que la sortie de l'une est reliée à l'entrée de la bascule suivante. La Figure 13 donne un exemple d'un tel registre.

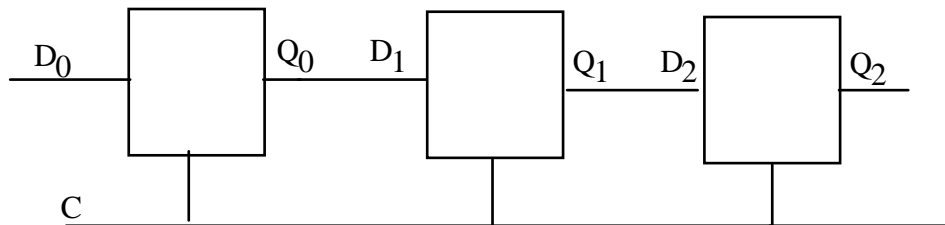


Figure 13 : Exemple de registre à décalage

D'après la définition de la bascule latch NAND, on a $Q_i = D_i$ lorsque $C = 1$ et d'après les connexions, on a $D_i = Q_{i-1}$. Lorsque $C = 1$, on a donc $Q_i = Q_{i-1}$ pour tout i . Il y a décalage d'un bit à l'autre de la chaîne de bascules de la valeur D_0 . Il n'est donc pas possible de décaler chaque bit d'une position vers la droite à chaque coup d'horloge.

1.4.2 Connexion d'une sortie sur une entrée

La Figure 14 illustre le cas où l'on relie une sortie d'une bascule sur l'entrée de la même bascule.

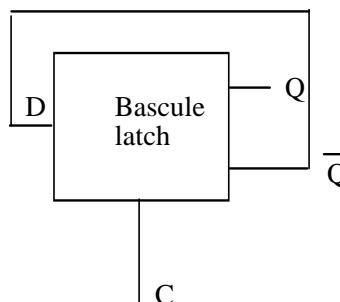


Figure 14 : Liaison \bar{Q} à D sur une bascule latch

D'après la connexion, on a $D = \bar{Q}$, et lorsque $C = 1$ (latch NAND), on a $Q = D$, ce qui conduit à $Q = \bar{Q}$. Cette situation anormale conduit soit à des oscillations, soit à des problèmes autour du point d'équilibre instable de la Figure 2. Le rebouclage des sorties d'un registre vers les entrées d'un même registre à travers des étages de logique combinatoire est une configuration inévitable. Un exemple typique est l'opération d'incrément du compteur de programme (CP) d'un processeur : $CP := CP + n$. Des bascules non transparentes sont donc indispensables.

1.5 BASCULE D

La bascule D est une bascule non transparente (ou opaque) qui permet de recopier l'état de l'entrée D vers la sortie Q sans qu'il y ait jamais de liaison directe entre entrée et sortie. La représentation symbolique est donnée par la Figure 15. L'opacité peut être réalisée de différentes manières.

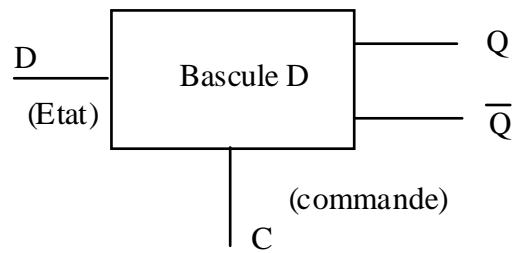


Figure 15 : Bascule D

1.5.1 Les bascules D maître esclave.

Elles fonctionnent selon le principe des écluses (Figure 16). On utilise 2 bascules transparentes, dont l'une est en état mémoire pendant que l'autre est en état écriture et réciproquement. De cette manière, il n'y a jamais de liaison directe entre entrée et sortie.

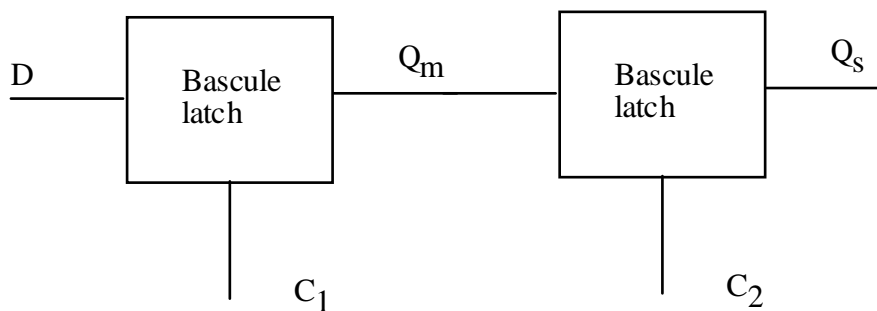


Figure 16 : Principe du maître esclave

Si les 2 signaux d'horloge C_1 et C_2 sont sans recouvrement, c'est à dire tels qu'ils suivent la séquence suivante : $C_1C_2 = 00$ puis 10 puis 00 puis 01 puis 00 puis ..., alors il y a fonctionnement correct. Il y a d'abord recopie de l'entrée D dans Q_m lorsque $C_1 = 1$, puis recopie du maître dans l'esclave lorsque $C_2 = 1$

Si l'on veut utiliser une seule horloge C avec son complément \bar{C} , il y a problème à cause de l'aléa lié au retard introduit par l'inverseur, comme le montre la Figure 17 .

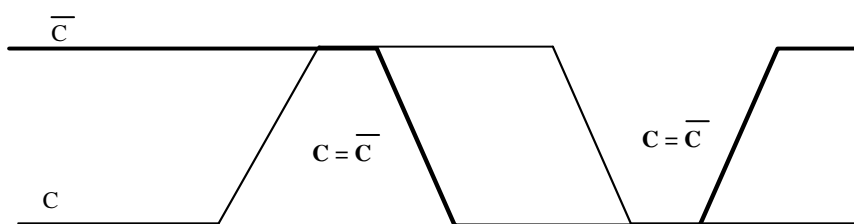


Figure 17 : Recouvrement $C-\bar{C}$ des commandes de bascule.

Si on utilise les signaux avec recouvrement, comme ceux de la Figure 17, pour commander le maître et l'esclave, il y a obligatoirement le cas où les 2 latches sont transparents simultanément et le cas où les 2 sont en état mémoire simultanément. Ce problème peut être résolu en utilisant un maître NAND et un esclave NOR, ce qui compte tenu de la dualité des bascules latch NAND et NOR supprime la nécessité de complémenter C . La bascule D maître esclave correspondante est présentée en Figure 18.

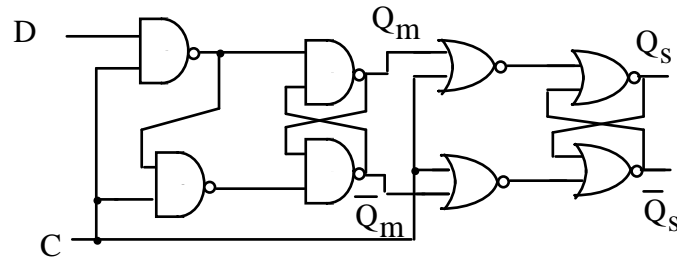


Figure 18 : Bascule D maître esclave NAND NOR

Pour avoir un fonctionnement correct même en cas de dispersion des niveaux de seuil des portes, il faut que le niveau de seuil du maître (frontière entre 0 et 1) soit supérieur au niveau de seuil de l'esclave, comme le montre la Figure 19. Dans ce cas de figure, la bascule maître esclave fonctionne correctement, quelle que soit la fréquence d'horloge C.

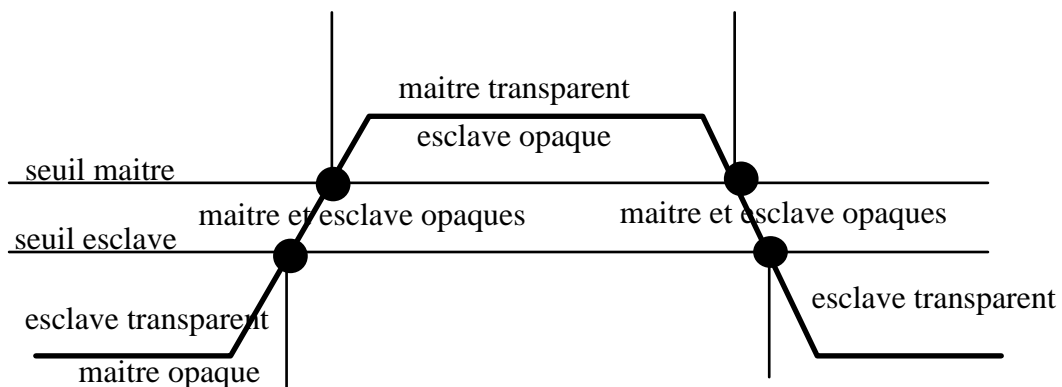


Figure 19 : Seuils du maître et de l'esclave

1.5.2 Les bascules D à commande par flanc (*edge triggered*)

Elles fonctionnent sur la transition montante (ou descendante) du signal d'horloge (Figure 20). Le signal D doit être positionné un certain temps (appelé temps d'établissement ou *set up time* t_{su}) avant la transition du signal de commande C, et rester positionné un certain temps (appelé temps de maintien ou *hold time* t_h) après la transition du signal de commande. C'est la valeur de D qui est fixe lors de la transition du signal de commande C qui est recopiée à la sortie. Hors de la période déterminé par $t_{su} + t_h$, l'état de D est indifférent et peut varier.

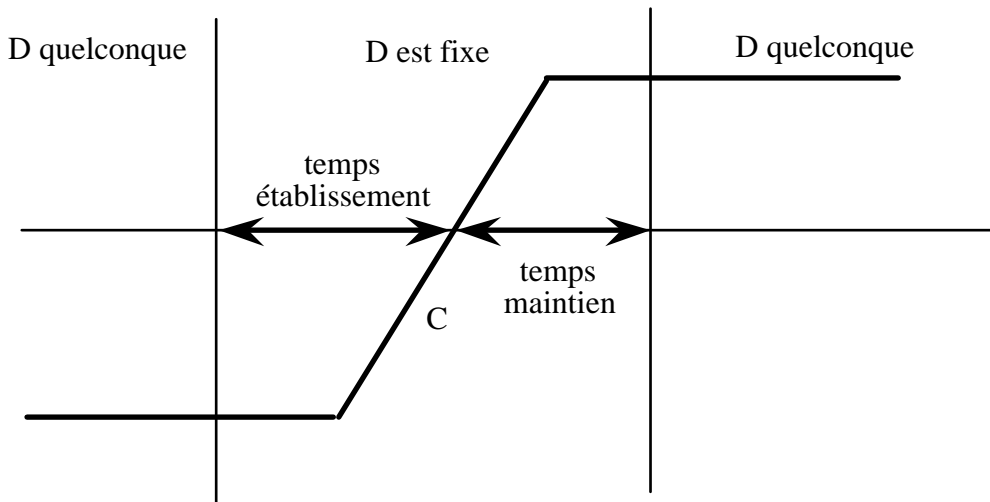


Figure 20 : Fonctionnement de la bascule D à commande par flanc

La bascule D à commande par flanc est réalisée avec 6 portes NAND ou 6 portes NOR selon le schéma Figure 21.

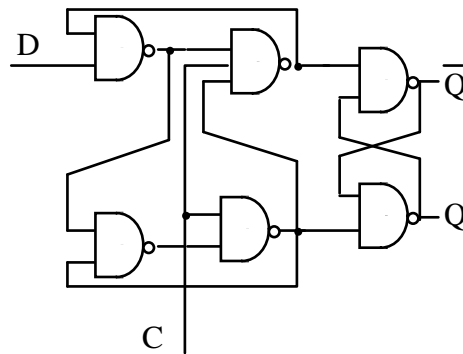


Figure 21 : Bascule D à 6 portes NAND

Lorsque $C = 0$, la bascule RS de sortie est en état mémoire. La Figure 22 (gauche) illustre l'écriture d'un 0, et la Figure 22 (droite) montre le verrouillage des sorties après l'écriture du 0, lorsque D varie alors que C est toujours à l'état 1. La Figure 23 (gauche) illustre l'écriture d'un 1, et la Figure 23 (droite) montre le verrouillage des sorties après l'écriture du 1, lorsque D varie alors que C est toujours à l'état 1.

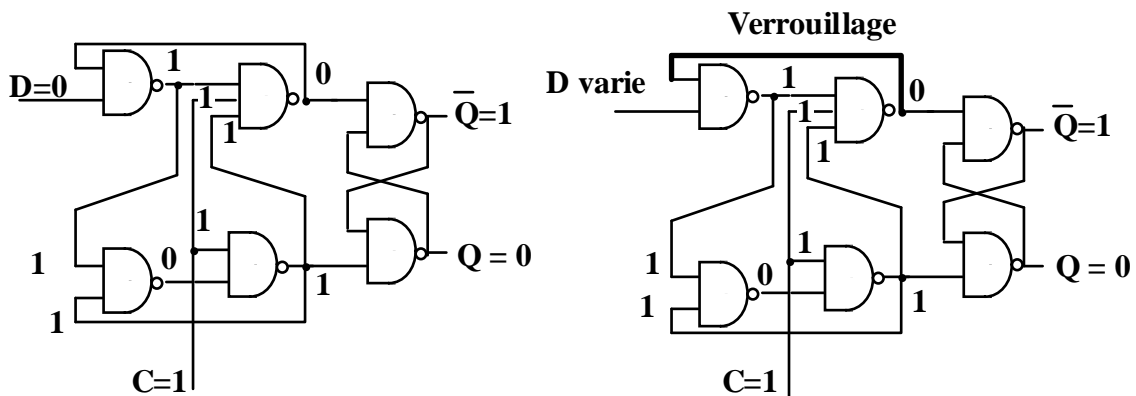


Figure 22 : Écriture d'un 0

Verrouillage lorsque C = 1

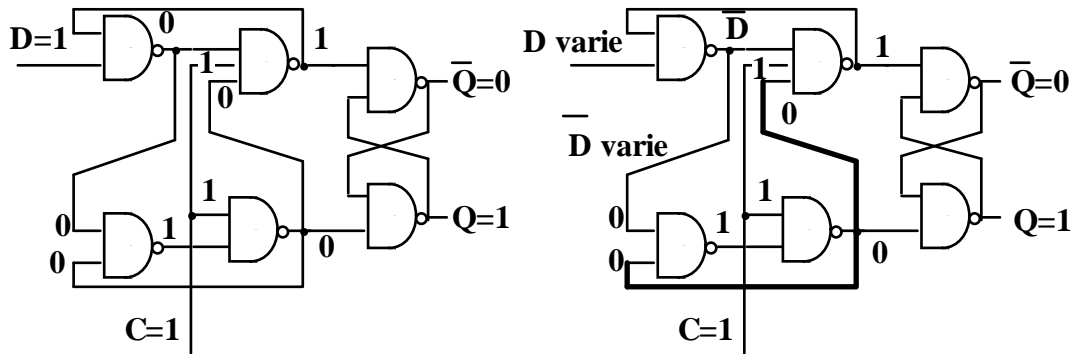


Figure 23 : Écriture d'un 1 Verrouillage lorsque C=1 après écriture d'un 1

La bascule D à 6 portes NOR a un fonctionnement dual de celle à 6 portes NAND. L'écriture se fait lors de la transition descendante de l'horloge.

1.5.3 Bascules D et opacité

Nous avons vu en 5-4-2 et 5-4-3 que les registres à décalage et la liaison d'une sortie sur une entrée de la bascule D ne sont pas possibles avec les bascules latch. Nous montrons maintenant que les bascules D résolvent le problème. La seule hypothèse est celle illustrée en Figure 20, c'est à dire que l'entrée D est fixe un temps t_{su} avant la transition d'horloge, et jusqu'à un temps t_h après la transition d'horloge. La Figure 24 donne le schéma d'un registre à décalage 2 bits, avec l'état initial suivant : $D_0 = 1$, $Q_0 = 0$ et $Q_1 = 0$. Lors de la première transition 0-1 de C, $D_0 = 1$ est recopié en Q_0 , qui passe à 1 avec un retard t_{pd} . Comme t_{pd} est supérieur à t_h (ce qui est toujours le cas dans la pratique), le passage de $D_1 (=Q_0)$ à 1 intervient trop tard pour être pris en compte par la première transition de C. C'est cette situation qui assure l'opacité. Ce n'est que sur la transition suivante de C de 0 à 1 que $D_1 = 1$ sera recopié à la sortie Q_1 , avec un temps de retard t_{pd} par rapport à cette transition. Le registre à décalage fonctionne correctement.

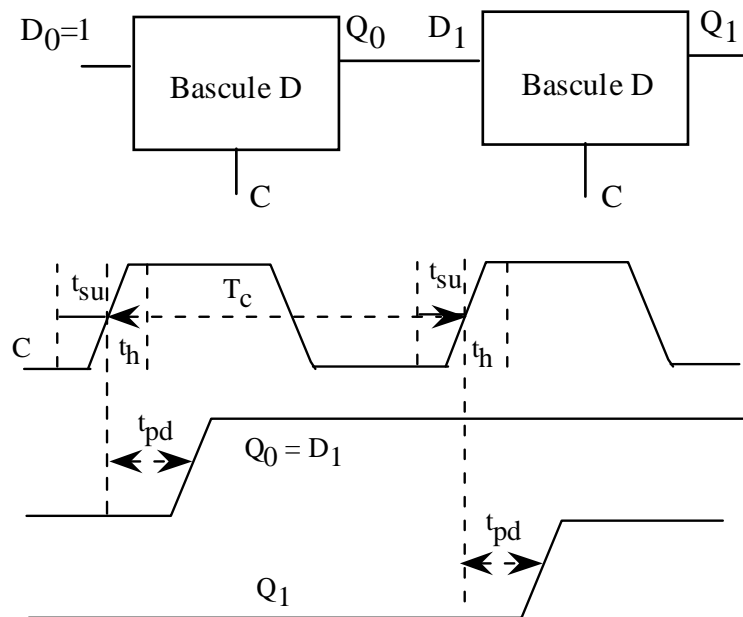


Figure 24 : Registre à décalage 2 bits et diagramme temporel des signaux associés.

Le diagramme temporel de la Figure 24 permet de déterminer la condition de fonctionnement du registre à décalage. Le signal D_1 devant être stable un temps t_{su} avant la deuxième transition 0-1 de l'horloge, la condition s'écrit :

$t_{pd \text{ bascule}} + t_{su} \leq T_C$ où $t_{pd \text{ bascule}}$ est le temps de retard entre la transition d'horloge et la transition à la sortie de la bascule, t_{su} est le temps d'établissement et T_C est la période d'horloge. La fréquence maximale de fonctionnement est $F_{\max} = \frac{1}{T_{c \min}} = \frac{1}{t_{pd(\text{bascule})} + t_{su}}$.

Le rebouclage de la sortie \bar{Q} d'une bascule D sur l'entrée D (Figure 25) n'est qu'un cas particulier du registre à décalage. Le circuit correspondant est appelé compteur par deux, car il a deux états et change d'état à chaque transition 0-1 de l'horloge.

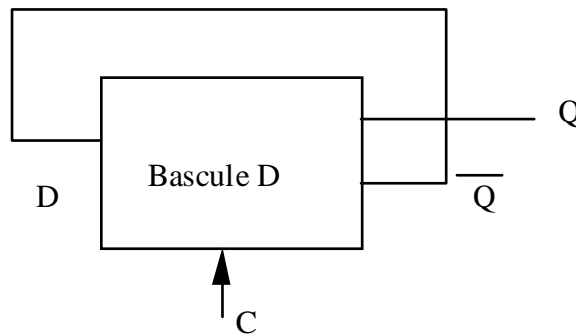


Figure 25 : Compteur par deux

En fait, le registre à décalage ou le compteur par deux n'est qu'un cas particulier des opérateurs synchrones. Le cas général est illustré par la Figure 26. Entre la sortie d'une bascule D et l'entrée de la bascule suivante, on trouve des opérateurs combinatoires. La condition de fonctionnement correct est alors $t_{pd \text{ (bascule)}} + t_{pd \text{ (combinatoire)}} + t_{su} \leq T_C$. La fréquence maximale de fonctionnement du système est alors

$$F_{\max} = \frac{1}{T_{c \min}} = \frac{1}{t_{pd(\text{bascule})} + t_{pd(\text{combinatoire})} + t_{su}}$$

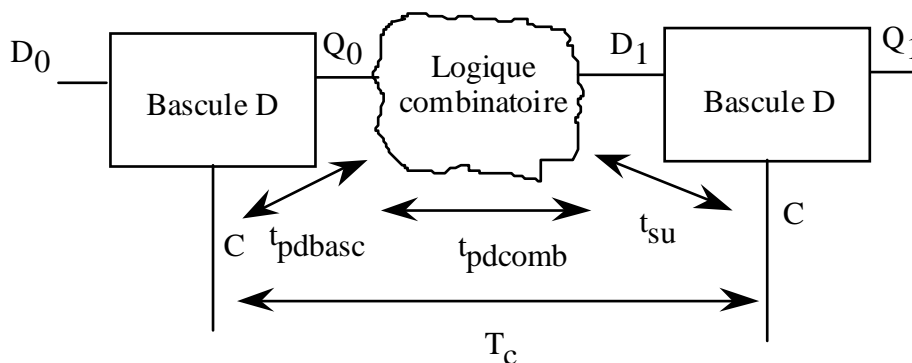


Figure 26 : Structure typique de la logique synchrone

1.5.4 Utilisation de la bascule D

Du fonctionnement de la bascule D se déduit aisément la manière de l'utiliser. La sortie Q de la bascule représente son état présent. Lors de la prochaine transition d'horloge, l'entrée D

sera recopiée sur la sortie Q. L'entrée D représente donc l'état futur de la bascule D. Alors que la sortie représente l'état présent, l'entrée représente l'état futur (Figure 27)

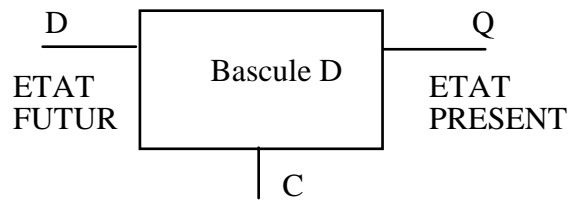


Figure 27 : Utilisation de la bascule D

Cette propriété sera utilisée pour la réalisation des compteurs et des automates.

1.6 BASCULES DÉRIVÉES DE LA BASCULE D

Un certain nombre de variantes de la bascule D ont été introduites, comme les bascules T et JK.

1.6.1 Bascule T

Le schéma fonctionnel de la bascule T est donné en Figure 28.

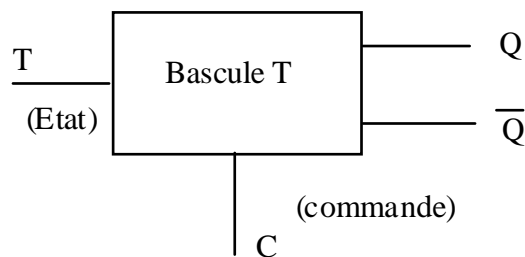


Figure 28 : Bascule T

La bascule T change d'état si $T = 1$ et ne change pas d'état si $T = 0$. La Table 1 résume son fonctionnement. Elle peut être réalisée à partir d'une bascule D de deux manières différentes.

T	Qprésent	Qfutur
0	0	0
0	1	1
1	0	1
1	1	0

Table 1 : Fonctionnement de la bascule T.

La Table 2 montre l'entrée T de la bascule T pour obtenir les différentes transitions entre l'état présent et l'état futur.

Qprésent	Qfutur	T
0	0	0
0	1	1
1	0	1
1	1	0

Table 2 : Utilisation de la bascule T

1.6.1.1 Bascule T asynchrone

La partie gauche de la Figure 29 présente la version asynchrone : la bascule D, montée en compteur par 2, change d'état sur chaque coup d'horloge. La porte Et ne laisse passer l'horloge de la bascule T que si T=1. La bascule T ne peut donc changer d'état que si T = 1. Lorsque T = 0, la bascule D ne voit pas la transition d'horloge.

Cette méthode présente l'inconvénient d'utiliser des portes logiques pour traiter des signaux de commande. Toutes les bascules d'un montage ne recevront pas les signaux de commande au même moment : des aléas temporels importants peuvent en résulter.

1.6.1.2 Bascule T synchrone

La partie droite de la Figure 29 présente la version synchrone. La Table 2 donne l'état futur de la bascule (qui est l'entrée D de la bascule D utilisée) en fonction de l'entrée T et de la sortie présente (qui est la sortie Q de la bascule D). D'après la Table 2, on constate que $D = T \oplus Q$.

Les deux réalisations montrent que la bascule T est réalisée à partir d'une bascule D.

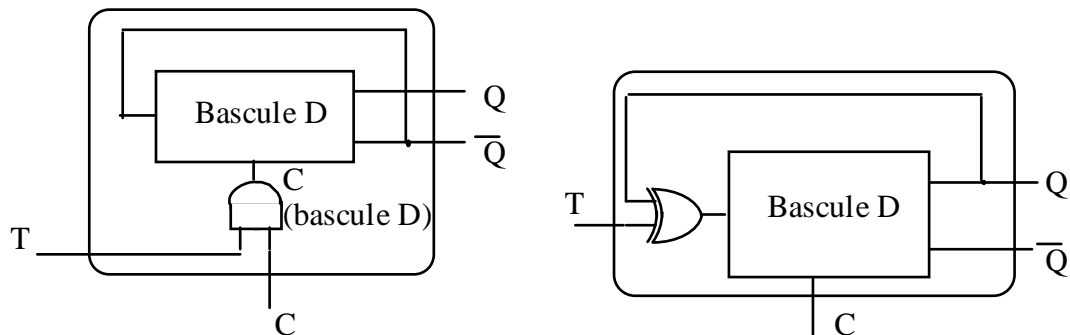


Figure 29: Bascule T asynchrone

Bascule T synchrone

1.6.1.3 Bascule JK

La Figure 30 donne le schéma fonctionnel de la bascule JK. Son fonctionnement est résumé par la Table 3.

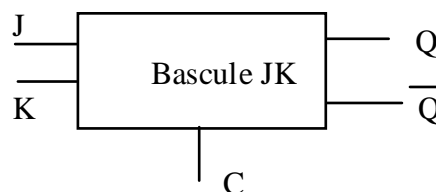


Figure 30 : Bascule JK

J	K	Q _{présent}	Q _{futur}
0	0	Q _p	Q _p
0	1	Q _p	0
1	0	Q _p	1
1	1	Q _p	$\overline{Q_p}$

Table 3 : Fonctionnement de la bascule JK.

Lorsque J=K, la bascule JK fonctionne comme une bascule T. Par contre, lorsque J≠K, la sortie est positionné dans un état donné : Q = J. La bascule JK est donc une bascule T initialisable. La Table 4 montre les entrées J et K à appliquer sur les entrées d'une bascule JK pour obtenir les différentes transitions entre l'état présent et l'état futur. ∅ représente l'état indifférent

Q _{présent}	Q _{futur}	J	K
0	0	0	∅
0	1	1	∅
1	0	∅	1
1	1	∅	0

Table 4 : Utilisation de la bascule JK.

2. COMPTEURS

Les compteurs sont des opérateurs séquentiels qui comportent N états et qui passent d'un état i à l'état i+1 (modulo N) à chaque coup d'horloge.

2.1 Exemple : le compteur par 4

Ce compteur a 4 états, notés 0, 1, 2 et 3. Son graphe des états est donné en Figure 31. Ces états doivent être codés avec deux chiffres binaires x et y. Il y a 12 manières différentes de coder 4 états (3 sont fondamentales et les autres s'en déduisent par permutation sur les x et les y). Sur les 3 codes fondamentaux, seuls le code naturel et le code de Gray, pour lequel seul 1 bit change à la fois, sont intéressants.

La Table 5 donne les trois codes fondamentaux

Le compteur est implanté avec des bascules D, dont la fonctionnalité est rappelée en Figure 32. La sortie d'une bascule D représente l'état présent. Sur le prochain coup d'horloge, la valeur de l'entrée D sera recopiée à la sortie. D représente donc l'état futur de la bascule. Pour implanter le compteur, il faut donc écrire la table donnant l'état présent (sorties Q des bascules) et l'état futur (entrées D des bascules) et réaliser la synthèse combinatoire des entrées D en fonction des sorties Q.

La Table 6 donne la table de transition du compteur par 4 en utilisant le code naturel. Les entrées D₁ et D₀ des bascules D sont respectivement

$$D_1 = Q_1 \oplus Q_0$$

$$D_0 = \overline{Q_0}$$

Le schéma correspondant du compteur par 4 est donné en Figure 33.

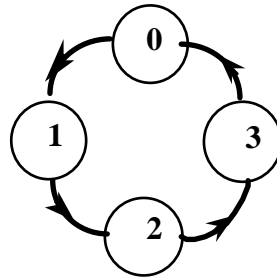


Figure 31 : Graphes des états

N	Naturel		Gray		3ème codage	
	y	x	y	x	y	x
0	0	0	0	0	0	0
1	0	1	0	1	1	1
2	1	0	1	1	0	1
3	1	1	1	0	1	0

Table 5 : Codage des états

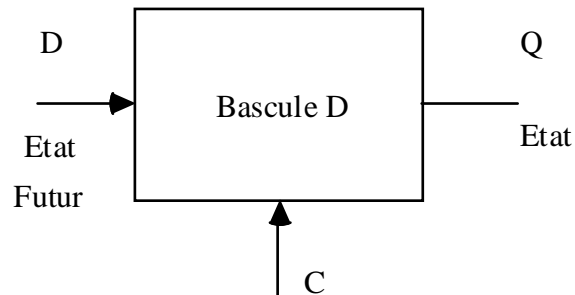


Figure 32 : Bascule D

État présent		État futur	
Q ₁	Q ₀	D ₁	D ₀
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

Table 6 : compteur par 4 (code naturel)

La Table 7 donne la table de transition du compteur par 4 en utilisant le code de Gray. Les entrées D₁ et D₀ des bascules D sont alors

$$D_1 = Q_0$$

$$D_0 = \overline{Q_1}$$

Le schéma correspondant du compteur par 4 est donné en Figure 34.

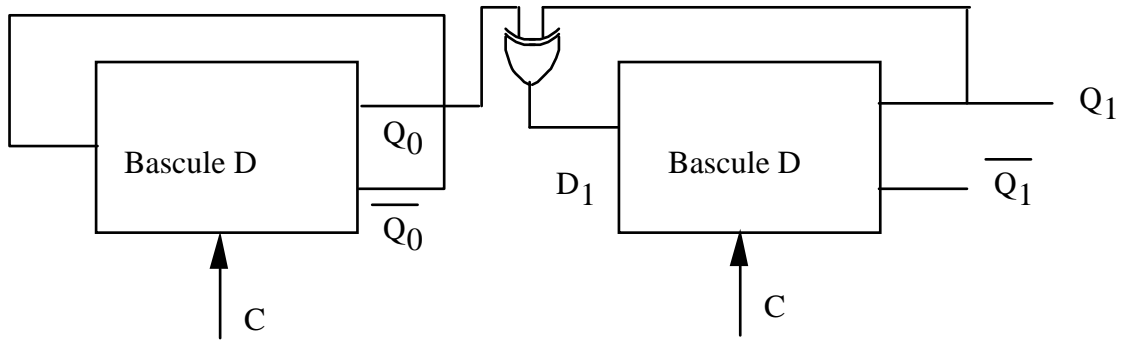


Figure 33 : Compteur par 4 (code naturel)

État présent		État futur	
Q ₁	Q ₀	D ₁	D ₀
0	0	0	1
0	1	1	1
1	1	1	0
1	0	0	0

Table 7 : Table de transitions

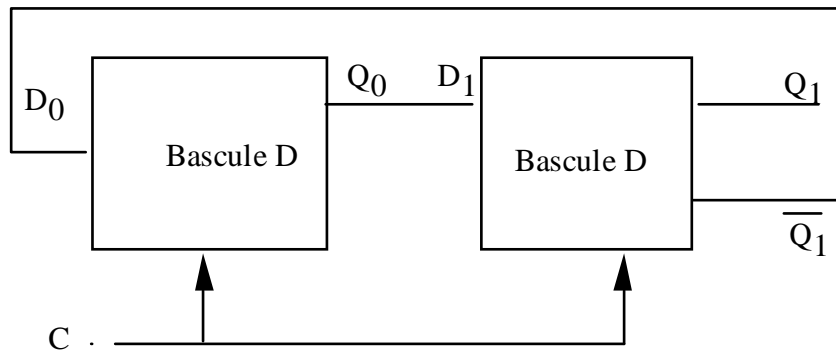


Figure 34 : Compteur par 4 (Code de Gray)

Les deux implantations précédentes correspondent à l'approche synchrone, dans laquelle toutes les bascules reçoivent le même signal d'horloge. Il est également possible de définir un compteur par 4 asynchrone, qui est présenté en Figure 35. Il utilise deux bascules D montées en compteur par 2 : chaque sortie \overline{Q} est reliée à l'entrée D correspondante, et chaque bascule change d'état lorsque l'entrée d'horloge est activée (transition de 0 à 1). La bascule pour le bit 0 change d'état à chaque transition 0 à 1 de l'horloge C. La bascule pour le bit 1 change d'état à chaque transition 0 à 1 de la sortie \overline{Q}_0 , c'est à dire à chaque transition 1 à 0 de Q_0 . D'après la Table 7, la sortie Q_1 change effectivement d'état à chaque fois que la sortie Q_0 passe de 1 à 0. La réalisation asynchrone des compteurs présente l'inconvénient suivant : comme les sorties des bascules ne changent pas d'état en même temps, sur la transition 0-1 de l'horloge, mais successivement, les aléas qui résultent d'opérations logiques sur les sorties de bascules asynchrones sont de durée variable et peuvent avoir une largeur significative alors qu'ils sont courts et de durée constante avec

l'approche synchrone. L'approche asynchrone, populaire il y a une quarantaine d'années, est très peu utilisée maintenant. C'est la raison pour laquelle nous ne traiterons dans la suite du chapitre que les compteurs et automates synchrones, pour lesquels toutes les bascules reçoivent la même commande d'horloge.

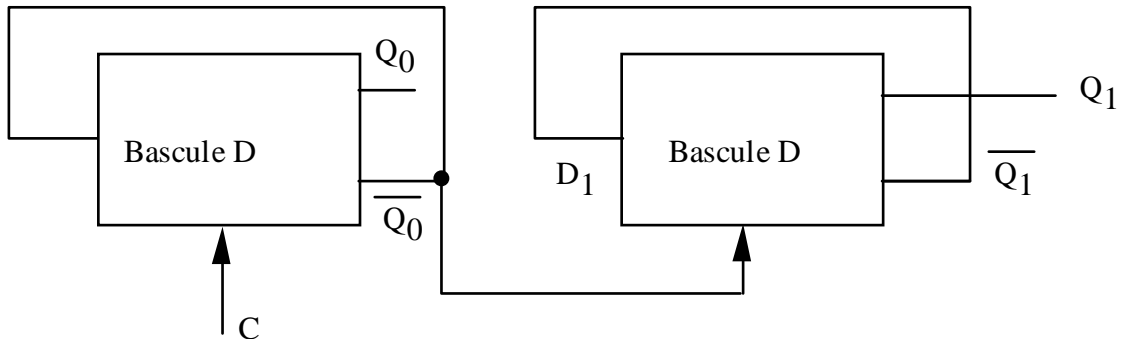


Figure 35 : Compteur par 4 asynchrone.

Le compteur par 4 synchrone peut également être implanté avec des bascules T ou des bascules JK. On utilise alors la Table 2 et la Table 4 qui donnent les entrées T_i ou J_i et K_i à appliquer sur les entrées des bascules utilisées. La Table 8 donne les entrées correspondant aux bascules T et la Table 9 celles correspondant aux bascules JK. Dans les deux cas, on utilise le code binaire naturel.

État présent		État futur		T_1	T_0
Q_1	Q_0	Q_1	Q_0		
0	0	0	1	0	1
0	1	1	1	1	1
1	1	1	0	0	1
1	0	0	0	1	1

Table 8 : Compteur par 4 avec des bascules T

De la Table 8, on déduit $T_0 = 1$ et $T_1 = Q_0$

État présent		État futur		J_1	K_1	J_0	K_0
Q_1	Q_0	Q_1	Q_0				
0	0	0	1	0	\emptyset	1	\emptyset
0	1	1	1	1	\emptyset	\emptyset	1
1	1	1	0	\emptyset	0	1	\emptyset
1	0	0	0	\emptyset	1	\emptyset	1

Table 9 : Compteur par 4 avec des bascules JK

De la Table 9, on déduit $J_0 = K_0 = 1$ et $J_1 = K_1 = Q_0$

2.2 Compteur avec RAZ

En ajoutant des entrées de contrôle, on transforme les compteurs (automates sans entrées) en véritables automates. A titre d'exemple, nous ajoutons au compteur par 4 une rentrée

RAZ pour Remise à Zéro. La variable booléenne RAZ est à 1 pour une remise à zéro du compteur et à 0 lors du fonctionnement normal du compteur. Le graphe des états du compteur avec RAZ est présenté en Figure 36.

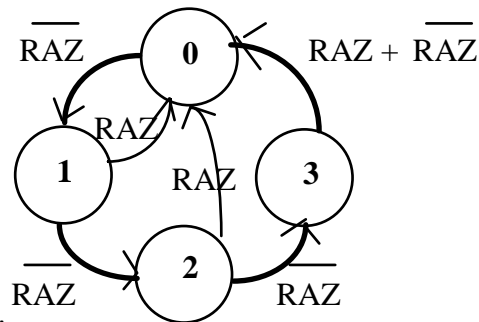


Figure 36 : Graphe des états d'un compteur par 4 avec RAZ.

La Table 10 donne les entrées D_1 et D_0 des bascules D en fonction des sorties Q_1 et Q_0 et de l'entrée RAZ de l'automate obtenu.

RAZ	Q_1	Q_0	D_1	D_0
0	0	0	0	1
0	0	1	1	0
0	1	0	1	1
0	1	1	0	0
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	0	0

Table 10 : Compteur par 4 avec RAZ

$$D_0 = \overline{\text{RAZ}} \cdot \overline{Q_0}$$

$$D_1 = \overline{\text{RAZ}} \cdot (Q_1 \oplus Q_0)$$